

# 微小電流測定による静電気破壊の特性

Characterization of ESD Damage  
by Measuring Micro Leakage Current

伊藤 誠吾

S. Itoh

富士通VLSI株式会社

FUJITSU VLSI LIMITED

## 1. はじめに

半導体デバイスのESD耐量はデバイス内部の微細化によって低下する傾向にある。MOSデバイスにおいてはホットキャリア効果によるトランジスタ劣化対策のためLDD構造が一般的になってきているが、サイドウォール下の薄い拡散層の接合が破壊し易い等の報告<sup>[1]</sup>にもあるように、ESD耐量性の面から見ると最近の微細化プロセスは決して強い構造とは言えない。また、破壊モードは益々複雑化してきており、破壊を正確に捕らえる評価技術の確立が要求されるようになってきている。

これまで、ESD破壊耐量の評価方法はHBM（人体帯電モデル）、CDM（デバイス帯電モデル）、FIM（電場誘導モデル）などストレスの印加方法については数多く提案され、実験結果が報告されてきた。<sup>[2]</sup>ところが、ESD破壊の判定基準は明確に定められている訳ではなく、測定する装置、あるいは測定条件の違いによってESD破壊耐量に差を生ずる事がある。

さて、図1に各種保護素子のIS-HV特性を示す。ここで言うISとはESDストレス印加後に電圧を加え端子の微小電流を測定した値で、HVはESDストレス電圧である。この図では、保護回路の形式・素子構造の違いによって、様々な異なる特性カーブを示す事に注目したい。つまり、ESDストレス印加に伴う微小電流の連続したデータとして表す事で、保護素子が持つ特徴的なESD破壊カーブとして捕らえることが可能になるからである。この報告で

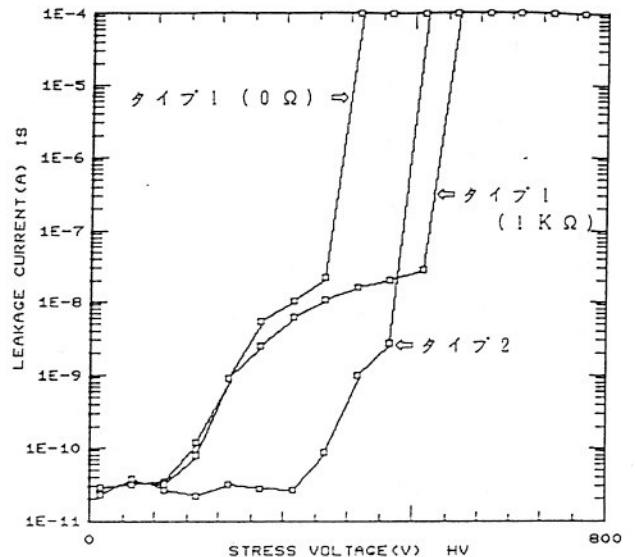


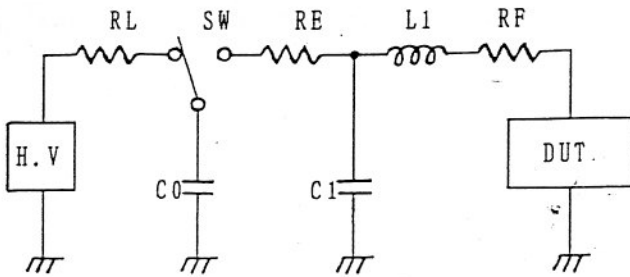
図1 各種保護素子のIS-HV特性

はESD破壊をIS-HV特性によって表現する方法の提案と、LDD-MOSTランジスタとフィールドトランジスタを使った保護素子を試料にして、比較的低い電圧で発生する微小電流と破壊モードの関係について検討する。

## 2. 実験方法

### 2-1 試験装置・試験条件

ESD破壊評価装置はESDストレス印加部と微小電流測定回路に分けられる。両者は回路的に完全に分離して高圧回路の影響が電流測定回路へ及ばないように構成した。以下、装置の簡単な説明と測定方法について述べる。



DUT : Device Under Test  
H.V : 高電圧電源

図2 ESDストレス印加等価回路

ESDストレス印加部は 阪和電子HED-5256Aを使い、図2の人体帯電モデルを基本に放電抵抗 $RE = 0 \Omega$ 、放電容量 $C0 = 2000 pF$ 、GNDを基準にした正極サージを0.5秒間隔で5回、放電スイッチSWを閉じデバイスに印加する。

ストレス印加部の寄生パラメータを出力端子をショートさせた時の振動周波数及び減衰曲線、容量計を使い以下の結果を得た。

寄生等価抵抗  $RF : 3.4 \Omega$

寄生インダクタンス  $LF : 0.26 \mu H$

寄生容量  $C1 : 1.6 pF$

微小電流測定回路は図3に示す様にスイッチング・マトリクスKEITHLEY-Model707、と電流測定ユニットKEITHLEY-SMU236、タイミングジェネレータPG、電源装置VSで構成する。

微小電流測定にあたってはESDストレス印加直後に測定回路系、あるいは試料パッケージに蓄積される電荷の影響でpAオーダの電流測定が不安定になる為、デバイス全端子をGNDに接続して緩やかに蓄積電荷を放電させた後、各端子に必要な電圧を印加してから測定に入るように配慮した。更に、クロックを必要とする端子はPGより必要なタイミングを入力して、デバイスの安定化を図った。装置・デバイスの接続、切断はスイッチング・マトリクス装置で行う。微小電流測定は以上の様な方法でデバイスを安定化させた後、被測定端子に0.0V及び5.5Vを印加して、各々流れる電流を観測した。本実験の試料ではダイオードの逆バイアス方向の電流を測定する事になるが、印加電圧

をブレークダウン電圧付近まで上げると不安定になる為、測定電圧は5.5Vに設定した。また、0.0V条件はデバイス電源回路からのホース電流を検出するために必要となる。

測定したデータはGP-IBインターフェイスによりコントローラで収集する。このような試験装置のシステム化は大量データ収集による測定精度の向上、再現性の面で重要である。特にESD耐圧試験は破壊試験であり、少ないデータで良・不良を判断することは真性値を見誤る恐れがある為、本実験では数個の同じ条件の試料のデータを基に結果をまとめた。

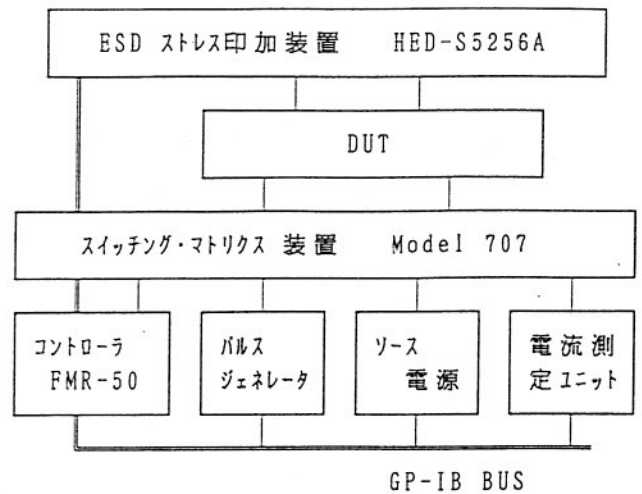


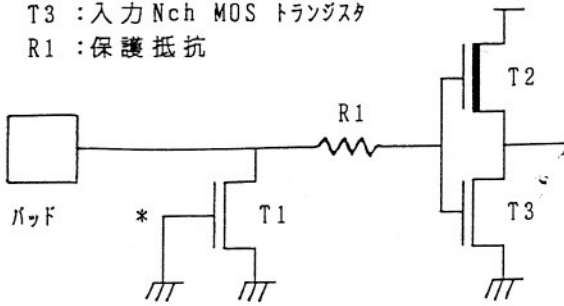
図3 試験システム概要図

## 2-2 評価回路と素子構造

本実験に用いた試料はMOSプロセスを使いLOCOS構造のNチャンネルLDDトランジスタとMOSゲートを使わないフィールドトランジスタを基本構造として、ドレイン拡散面積とチャネル幅をパラメータとして振っている。試料はセラミックDIP-40ピンパッケージに封止して用いた。

標準構造はゲート酸化膜 $G_{tox} = 180 \text{ \AA}$ 、チャネル長 $L = 4.0 \mu m$ 、チャネル幅 $W = 200 \mu m$ 、ドレイン拡散面積 $1600 \mu m^2$ 、サイドウォール下拡散はリンを注入し、ドレイン、ソース部は砒素を注入して形成している。回路の抵抗 $R1 = 1K \Omega$ はポリシリコンを用い構成した。内部ダミー回路として、 $R1$ を介してNチャンネルLDDトランジスタ $T3$ 、 $W/L = 20 \mu m / 1.0 \mu m$ 、Pチャンネルトランジスタ $T2$ 、 $W/L = 20 \mu m / 1.2 \mu m$ の

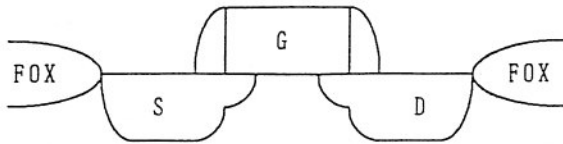
- T1 : 保護トランジスタ
- T2 : 入力 Pch MOS トランジスタ
- T3 : 入力 Nch MOS トランジスタ
- R1 : 保護抵抗



\* タイプ 2 はゲートが無い

図 4 保護素子回路図

タイプ 1 (LDD トランジスタ)



タイプ 2 (フィールド トランジスタ)



- S : ソース
- D : ドレイン
- G : ゲート
- FOX : フィールド酸化膜

図 5 保護素子の断面構造

ゲートに接続した。図 4 に保護素子の回路図、図 5 に保護素子の断面構造図を示す。

### 3. 実験結果・検討

#### 3-1 LDD トランジスタの IS-HV 特性

LDD トランジスタ (タイプ 1) の微小電流 IS 対 HV 特性カーブを図 6 に示す。ストレス電圧 HV 印加に比例して微小電流が増加し、500V 以上で急激に電流が増加する特性を示している。これら 2 つの特性は異なる破壊モードを現していると考えられる。仮に、低い HV で電流が緩やかに増加する領域を (領域 I) とし、電流が 2 桁以上急激に増加する電圧以降を (領域 II) と分けて破壊箇所の検討を行う事にする。

微小電流が発生している箇所を特定するため

ホットエレクトロン顕微鏡 EMS (Emission Microscope) KLA-1630 を用い領域 I の調査を行った。試料は急激に電流が増加する領域 II に至る前でストレス印加を止めたものを用いた。結果を図 7 に示す。ゲートに近いドレイン部で発光が確認でき、特にコンタクトに近いゲート部での発光が強い。MOS トランジスタの特性上、ゲートに電圧を掛けていくとピンチオフポイントでドレイン部付近の電界が最大に達し、加速されたキャリアの再結合によって光となってドレイン側で観測される事は報告されている。<sup>[3]</sup> しかし、今回評価した回路はゲートを GND に接続して、MOS トランジスタとしてはオフ状態にあることから、上記の発光現象とはモードが異なると推測できる。むしろ、領域 I での微小電流の発生箇所は LDD 構造上、低濃度層が高濃度層の接合、あるいはコンタクト部に近い接合の部分破壊と考えられる。

大電流が流れる領域 II の破壊箇所を特定するため同様に EMS を使い発光調査を行ったところ、LDD 保護トランジスタのゲート部、あるいはドレインコンタクト部で激しい発光が確認された。

このように領域 I が部分的な接合破壊であるのに対し、領域 II は絶縁膜の破壊、或いは接合のショート等、完全な破壊領域とすることができる。IS-HV 特性カーブは、各々 2 つの異なる破壊現象を正確に表現している事が確認できた。

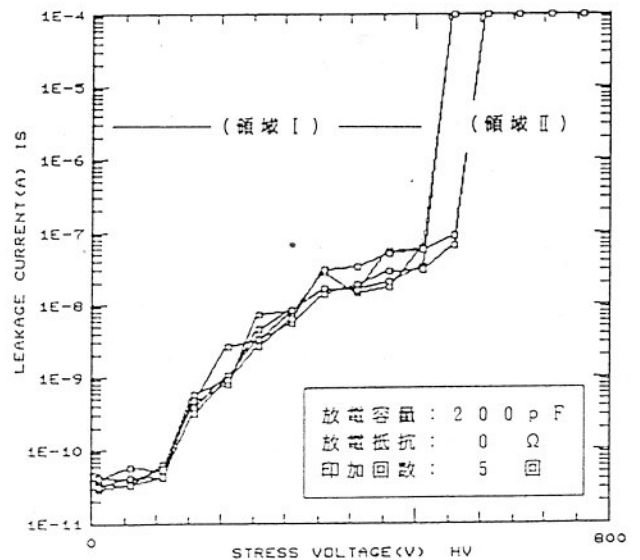


図 6 タイプ 1 保護素子の IS-HV 特性

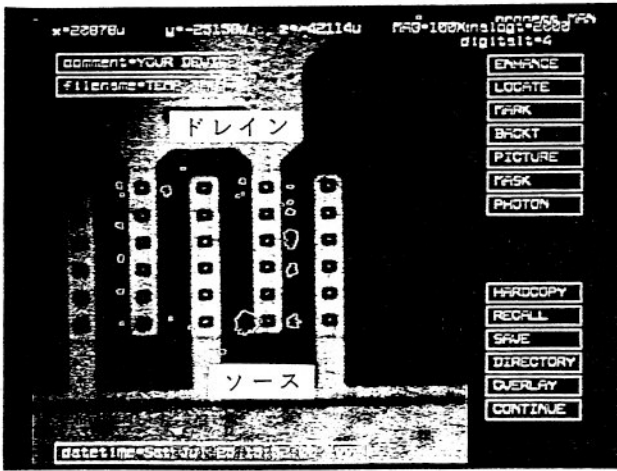


図7 LDDトランジスタの微小電流箇所

### 3-2 領域Iの微小電流の検討

領域Iで発生する微小電流と印加ストレスの静電エネルギーの関係を明らかにするためタイプIの保護素子を使い、HV電圧を一定にした時のESDストレス印加回数と微小電流の特性カーブを図8に示す。回数に比例して電流が増加して飽和特性を示している。1~5回の印加で急速に増加する微小電流は、放電容量と印加電圧が高い程大きい。これは放電エネルギーによって接合が熱破壊したと考えられ、破壊の程度が微小電流の差として現れるものであろう。

それ以後、緩やかな電流増加に変わる特性は寄生的に存在するバイポーラトランジスタが作用していると考えられる。

図9は、カーブトレーサーTEKTRONIX Model 370でストレス印加回数による大電流レンジで

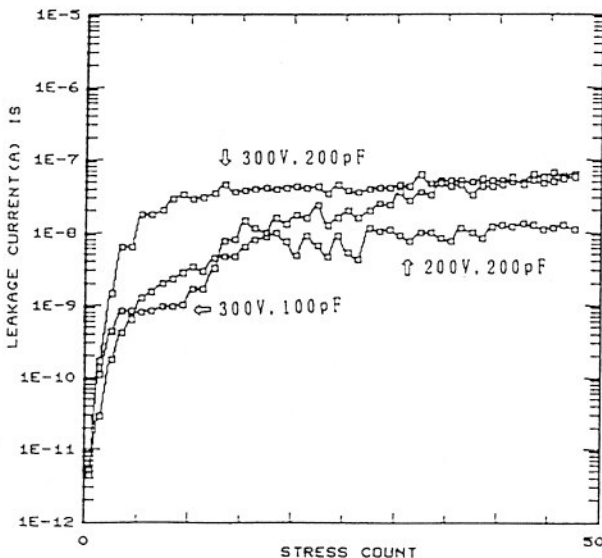


図8 ストレス印加回数と微小電流特性

のソース・ドレイン間のI-V特性を測った結果である。最初の1~3回の印加で耐圧は急速に低下し、寄生バイポーラトランジスタのコレクターエミッタ電圧V<sub>CE</sub>の低下が見られるが、10回以降の変化は少ない。これは、ストレス印加に伴う、微小電流増加がよりバイポーラトランジスタのエミッタ側に電流を流し易く作用する為であろう。

ところが、図10はドレイン部の接合面積S<sub>DJ</sub>とストレス印加に伴う微小電流の特性を示したものであるが、接合面積に比例して微小電流は減少している事が判る。これは、図8の微小電流の飽和特性が前に述べた寄生バイポーラトランジスタの効果以上に、接合の単位面積当たりのストレス電荷量に依存していると考えなければならない。

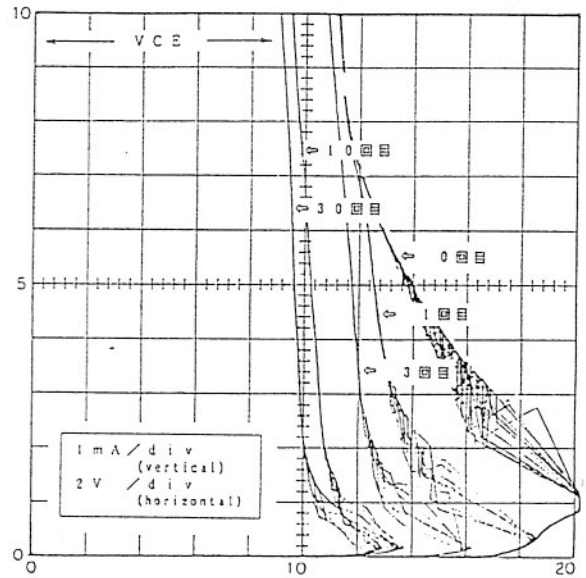


図9 タイプI保護素子のI-V特性

### 3-3 抵抗R<sub>1</sub>とIS-HV特性

ここまでの調査でタイプIの保護素子のIS-HV特性は領域IとIIで示されるように、異なる破壊モードを表現している事が判った。そこで、更に領域IIの破壊原因の検討を行う為、図4の抵抗R<sub>1</sub>を0Ωと1KΩの時のIS-HV特性を取得し、結果を図11に示す。領域Iの微小電流が増加する傾きは各々同じ特性を示し、同じ破壊モードである事が推測できる。ところが、領域IIの破壊カーブに違いが見られ、抵抗0Ω条件の方がHVが低い電圧で急激な電流変化になっている。EMSで破壊箇所を観測

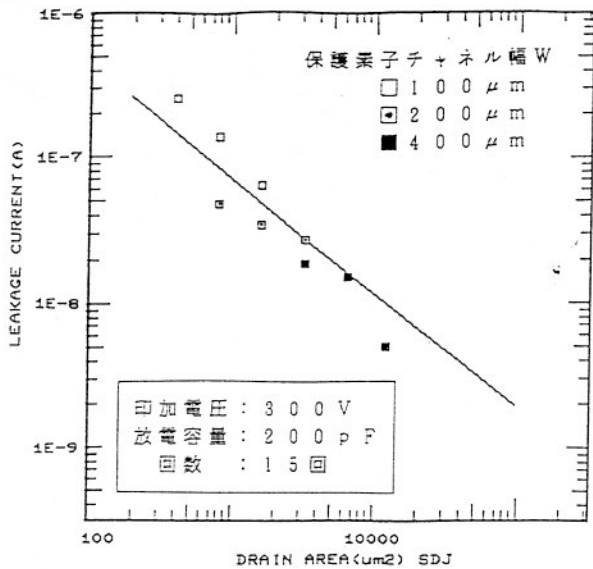


図10 ドレイン接合面積SDJ-I S特性

すると、抵抗が1KΩ条件は3-1項の調査でLDDトランジスタ保護素子のゲート部、あるいはドレインコンタクト部の接合破壊であったが、抵抗0Ω条件は図12に示す通り入力インバータのLOCOS界面のゲート酸化膜部で発光している事が判った。このように、急激に電流が増加する特性は同じであっても破壊箇所は全く異なることが明らかになった。また、図11のIS-HV特性からモードが違う2種類の破壊現象を表していることは容易に判断できる。

### 3-4 タイプ2の保護素子のIS-HV特性

ここまでの実験で微小電流はLDDトランジスタのサイドウォール下の薄い拡散層付近の接

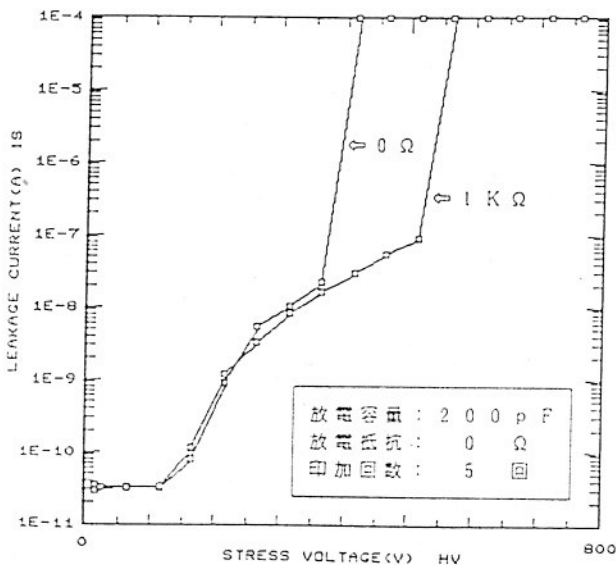


図11 タイプ1保護素子の入力抵抗依存

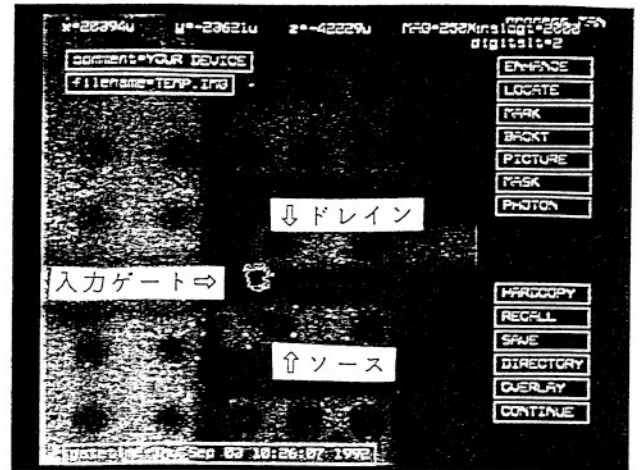


図12 入力ゲート破壊写真

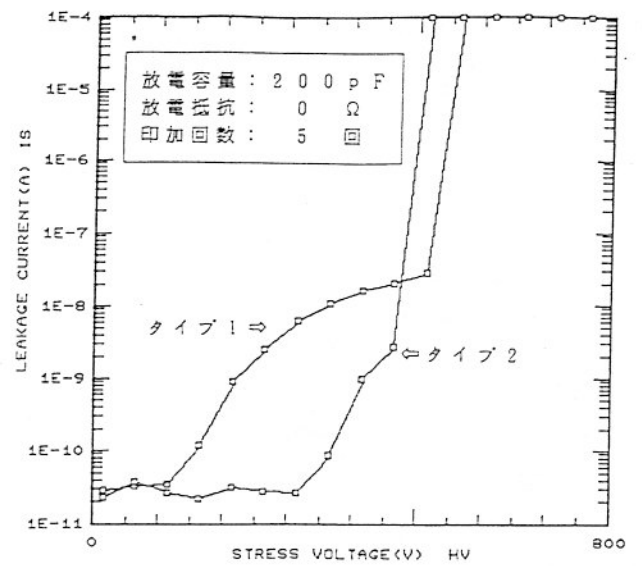


図13 タイプ2保護素子のIS-HV特性

合破壊である事が確認された。そこで、図13に薄い拡散構造を持たないタイプ2の保護素子のIS-HV特性の実験結果を示す。タイプ1で見られるような低い印加電圧から発生する微小電流の増加は無いが、300V以上の電圧で発生する電流増加の傾きが大きい特性を示す。この特性差は、ゲート構造の違いより、むしろ接合構造の違いによって異なる特性を示すと考えられる。つまり、タイプ2は深い拡散で接合濃度が均一であるのに対し、タイプ1はサイドウォール下の薄い接合とソース・ドレイン部の深い拡散が同じノードに存在する事で均一なブレークダウンが難しくなり、局所的に電流が集中して部分破壊を生じ、微小電流が発生したものと考えられる。

このように、IS-HV特性は保護素子構造



の違いによる破壊現象を、微少電流のカーブとして表している事が判った。また、保護素子の破壊箇所を詳細に解析し、タイプ別に分類すれば、それと、被測定デバイスのIS-HV特性データを比較することで故障箇所の推定が可能になる。

#### 4. まとめ

ESDストレスを被測定デバイスの端子に印加した後、その端子の微少電流を正確に測定し、微少電流ISとストレス電圧HVで表示するIS-HV特性は被測定デバイスの違いによって特徴的な特性カーブを示し、そのカーブから破壊モードの解析が可能になった。PN接合の局所的な破壊は微少電流が緩やかな増加カーブを示し、ゲート酸化膜など絶縁破壊、或いは接合部のショートは急激に増加する破壊カーブを示す。

微少電流が発生し易い保護素子の検討を行ったところ、保護素子全体を均一な接合で形成することで、微少電流を抑えることができた。LDDトランジスタの薄い接合は局所的に電流集中を助長し微少電流はむしろ増加することが確認された。

このように、破壊モードによりIS-HV特性が異なることに注目して、保護素子のESD耐量評価を微少電流の変化として捕らえる事によってESDによる破壊箇所を容易に推定する事を可能にした。

最後に、本研究の機会を与え、ご指導、ご協力を頂いた富士通(株)電子デバイス事業本部、富士通VLSI(株)LSI設計部、プロセス研究所の関係各位に深く感謝致します。

#### [参考文献]

- [1] 前田, 和田: "微細化に伴う半導体デバイスの静電破壊現象" E0S/E0SDシンポジウム '91, E-3, P15~20, (1991)
- [2] 福田, 目黒, 植木: "MOSデバイスの静電破壊評価方法" 信学技報 R83-33, P7~12, (1983)
- [3] N. Khurana, C-L Chiang: "Analysis of Product Hot Electron Problems by Gated Emission Microscopy", IEEE 24th annual Proceedings of Reliability Physics Symposium, p189-194 (1986)